

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0007413
Application Number

출원년월일 : 2003년 02월 06일
Date of Application FEB 06, 2003

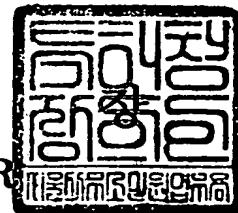
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 17 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.06
【국제특허분류】	G11C
【발명의 명칭】	네거티브 전압이 공급되는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로
【발명의 영문명칭】	Main word line driver circuit having supplied negative voltage in a semiconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이승훈
【성명의 영문표기】	LEE, Seung Hoon
【주민등록번호】	700824-1896335
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지 957-6 벽산0 파트 336-8 05
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020030007413

출력 일자: 2003/4/18

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

네거티브 전압이 공급되는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로가 제공된다. 메인 워드 라인 드라이버 회로는 복수개의 메인 워드 라인들을 각각 인에이블 하는 메인 워드 라인 신호들을 발생하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로에 관한 것으로서, 전압 공급부 및 복수개의 출력부들을 구비한다. 전압 공급부는 노드에 제1 전압을 공급한 후 제1 전압 보다 높은 제2 전압을 공급한다. 복수개의 출력부들은 노드에 공급된 제1 전압 및 제2 전압을 공급받아 각각의 메인 워드 라인 신호들을 발생한다. 제1 전압은 네거티브 전압이며, 제2 전압은 접지 전압이다. 메인 워드 라인 드라이버 회로는, 접지 전압 보다 낮은 네거티브 전압 및 접지 전압을 공급받으므로, 메인 워드 라인 드라이버 회로의 저전압 동작에서도 메인 워드 라인 신호의 로우 레벨에서 하이 레벨로의 천이 속도를 감소시키지 않는다.

【대표도】

도 4

【명세서】

【발명의 명칭】

네거티브 전압이 공급되는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로{Main word line driver circuit having supplied negative voltage in a semiconductor memory device}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래 기술에 따른 메인 워드 라인 드라이버 회로를 포함하는 반도체 메모리 장치를 개략적으로 나타내는 블락 다이어그램이다.

도 2는 도 1의 메인 워드 라인 드라이버 회로를 보다 상세히 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 메인 워드 라인 드라이버 회로를 포함하는 반도체 메모리 장치를 개략적으로 나타내는 블락 다이어그램이다.

도 4는 도 3의 메인 워드 라인 드라이버 회로를 보다 상세히 나타내는 도면이다.

도 5는 도 4에 도시된 메인 워드 라인 드라이버 회로의 동작을 나타내는 타이밍 다이어그램이다.

< 도면의 주요 부분에 대한 부호의 설명 >

241 ~ 24n : 출력부들 260 : 접지 전압 공급부

270 : 네거티브 전압 공급부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는, 네거티브 전압이 공급되는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로에 관한 것이다.

<11> 워드 라인으로 사용되는 폴리-실리콘(poly-silicon)의 저항으로 인한 신호 지연을 감소시키기 위하여, 워드 라인을 메인 워드 라인(main word line, 또는 노멀 워드 라인(normal word line)이라고도 한다.)과 서브-워드 라인(sub-word line)으로 분할(split)하여 사용하는 계층적 워드 라인 구조(hierarchical word line structure)가 널리 사용되고 있다. 상기 계층적 워드 라인 구조는 미국 특허 공보 제 5,416,748호에 기재되어 있다.

<12> 도 1은 종래 기술에 따른 메인 워드 라인 드라이버 회로를 포함하는 반도체 메모리 장치를 개략적으로 나타내는 블락 다이어그램이다. 반도체 메모리 장치(100)는 커맨드 디코더(command decoder, 110), 로우 디코더(row decoder, 120), 메인 워드 라인 드라이버 회로(main word line driver circuit, 130), 및 서브-워드 라인 드라이버 회로(sub-word line driver circuit, 190)를 포함한다.

<13> 커맨드 디코더(110)는 프리차지 명령(precharge command, PRECH CMD)을 디코딩(decoding)하여 메인 워드 라인들을 로우 레벨(즉, 접지 전압)로 프리차지하기 위한 프리차지 신호(PRECH)를 발생한다. 로우 디코더(120)는 로우 어드레스(row address)들을

(R_ADDR)을 디코딩하여 디코딩된 로우 어드레스 신호들(DRA1 - DRA_n, DRA_C1 - DRA_C3)을 발생한다.

<14> 메인 워드 라인 드라이버 회로(130)는, 상기 프리차지 신호(PRECH)와 디코딩된 로우 어드레스 신호들(DRA1 - DRA_n, DRA_C1 - DRA_C3)에 응답하여, 상기 각각의 메인 워드 라인들을 인에이블(enable)하는 메인 워드 라인 신호들(MWE1 - MWE_n)을 발생한다.

<15> 서브-워드 라인 드라이버 회로(190)는, 상기 메인 워드 라인 신호들(MWE1 - MWE_n)에 응답하여, 상기 메인 워드 라인에 대응하는 서브-워드 라인들을 구동하는 서브-워드 라인 신호들(SWLs)을 발생한다. 예를 들어, 하나의 메인 워드 라인은 메모리 셀들 (memory cells, 미도시)에 연결된 4개의 서브-워드 라인들에 대응할 수 있다.

<16> 도 2는 도 1의 메인 워드 라인 드라이버 회로를 보다 상세히 나타내는 도면이다. 도 2를 참조하면, 메인 워드 라인 드라이버 회로(130)는 복수개의 출력부들(141 - 14_n) 및 접지 전압 공급부(150)를 포함한다. 예를 들어, 접지 전압 공급부(150)는 8개의 출력부들에 공통으로 연결될 수 있다.

<17> 접지 전압 공급부(150)는 직렬로 연결된 3개의 엔모스(NMOS) 트랜지스터들(151, 152, 153)을 포함하며, 엔모스 트랜지스터(153)의 소스(source)에 접지 전압(VSS)이 연결된다. 접지 전압 공급부(150)는 디코딩된 로우 어드레스 신호들(DRA_C1 - DRA_C3)의 활성화에 응답하여, 노드(node, NODE2)에 접지 전압(VSS)을 공급한다.

<18> 출력부(141)는 피모스(PMOS) 트랜지스터(1411), 인버터(inverter, 1412), 및 엔모스(NMOS) 트랜지스터(1413)를 포함하고, 피모스 트랜지스터(1411)의 소스(source)에는 승압(boosting) 전압(VPP)이 연결된다.

<19> 먼저, 제1 메인 워드 라인 신호(MWE1)가 로우 레벨(low level)(즉, 접지 전압 레벨(VSS))로 비활성화되는 동작을 설명하면 다음과 같다. 제1 출력부(141)의 피모스 트랜지스터(1411)는 프리차지 신호(PRECH)의 활성화에 응답하여, 노드(NODE1)의 전위를 하이 레벨(high level)(즉, 승압 전압(VPP) 레벨)로 풀-업(pull-up)한다. 인버터(1412)는 상기 하이 레벨인 노드(NODE1)의 전위를 로우 레벨로 반전시켜 로우 레벨의 제1 메인 워드 라인 신호(MWE1)를 발생한다.

<20> 다음으로, 제1 메인 워드 라인 신호(MWE1)가 하이 레벨(즉, 승압 전압 레벨(VPP))로 활성화되는 동작을 설명하면 다음과 같다. 제1 출력부(141)의 엔모스 트랜지스터(1413)는, 디코딩된 로우 어드레스 신호(DRA1)의 활성화에 응답하여, 접지 전압 공급부(150)에 의해 로우 레벨(즉, VSS)로 풀-다운(pull-down)된 노드(NODE2)의 전위를 노드(NODE1)로 전달한다. 인버터(1412)는 상기 로우 레벨로 풀-다운된 노드(NODE1)의 전위를 반전시켜 하이 레벨의 메인 워드 라인 신호(MWE1)를 발생한다.

<21> 한편, 제1 출력부(141)를 제외한 출력부들(142 - 14n)도 제1 출력부(141)의 구성 요소들과 동일한 구성 요소들을 포함하므로, 그것에 대한 상세한 설명은 제1 출력부(141)에 대한 설명이 참조된다. 다만, 각각의 출력부들(142 - 14n)은, 프리차지 신호(PRECH) 및 디코딩된 로우 어드레스 신호들(DRA2 - DRAn, DRA_C1 - DRA_C3)에 응답하여, 메인 워드 라인 신호들(MWE2 - MWE_n)을 발생한다.

<22> 최근에는, 반도체 메모리 장치가 낮은 전원 전압(VCC, 예를 들어, 2(V) 또는 그 이하)을 사용함에 따라, 상기 메인 워드 라인 드라이버 회로(130)를 제어하는 제어 신호들(즉, 디코딩된 로우 어드레스 신호들(DRA1 - DRAn, DRA_C1 - DRA_C3))의 전압도 낮아지고 있다. 그래서, 상기 디코딩된 로우 어드레스 신호(DRA1)가 낮은 전원 전압

(VCC)으로 활성화되고 접지 전압 공급부(150)에 의해 노드(NODE2)에 접지 전압(VSS)이 공급되는 경우, 제1 출력부(141)의 엔모스 트랜지스터(1413)의 소스(source)에 대한 게이트(gate) 전압(V_{gs})이 엔모스 트랜지스터(1413)의 문턱 전압(threshold voltage) 보다 약간 클 수 있다. 따라서, 노드(NODE1)를 로우 레벨(즉, 접지 전압 레벨(VSS))로 풀-다운하는 엔모스 트랜지스터(1413)의 동작 속도(operating speed)가 감소될 수 있다. 그 결과, 메인 워드 라인 신호(MWE1)의 로우 레벨에서 하이 레벨로의 천이 속도(transition speed)가 감소될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 따라서, 본 발명이 이루고자 하는 기술적 과제는 낮은 전압(low voltage)에서도 안정된 동작 속도(operating speed)를 가지는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<24> 상기의 기술적 과제를 달성하기 위하여 본 발명에 따른 메인 워드 라인 드라이버 회로는 복수개의 메인 워드 라인들을 각각 인에이블하는 메인 워드 라인 신호들을 발생하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로에 관한 것이다. 본 발명에 따른 메인 워드 라인 드라이버 회로는 노드에 제1 전압을 공급한 후 상기 제1 전압 보다 높은 제2 전압을 공급하는 전압 공급부; 및 상기 제1 전압 및 상기 제2 전압을 공급받아, 상기 각각의 메인 워드 라인 신호들을 발생하는 복수개의 출력부들을 구비하는 것을 특징으로 한다.

<25> 바람직한 실시예에 따르면, 상기 제1 전압은 네거티브 전압이며, 상기 제2 전압은 접지 전압이다.

<26> 바람직한 실시예에 따르면, 상기 전압 공급부는 상기 노드에 상기 네거티브 전압을 공급하는 네거티브 전압 공급부; 및 상기 노드에 상기 접지 전압을 공급하는 접지 전압 공급부를 구비한다.

<27> 바람직한 실시예에 따르면, 상기 네거티브 전압 공급부는 디코딩된 로우 어드레스 신호들의 활성화에 응답하여 상기 노드에 상기 네거티브 전압을 공급한다.

<28> 바람직한 실시예에 따르면, 상기 디코딩된 로우 어드레스 신호들 중 하나의 디코딩된 로우 어드레스 신호는 소정의 시간 동안 전원 전압으로서 활성화된다.

<29> 바람직한 실시예에 따르면, 상기 네거티브 전압 공급부는 상기 디코딩 로우 어드레스 신호들에 응답하여 턴-온/턴-오프(turn-on/turn-off)되는 직렬 연결된 3개의 엔모스 트랜지스터들을 포함하며, 상기 엔모스 트랜지스터들의 일 단자에 상기 네거티브 전압이 연결된다.

<30> 이러한 본 발명에 따른 반도체 메모리 장치의 메인 워드 라인 드라이버 회로는, 접지 전압 보다 낮은 네거티브 전압 및 접지 전압을 공급받으므로, 메인 워드 라인 드라이버 회로의 저전압 동작에서도 메인 워드 라인을 인에이블하는 메인 워드 라인 신호의 로우 레벨에서 하이 레벨로의 천이 속도를 감소시키지 않는다.

<31> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<33> 도 3은 본 발명의 일 실시예에 따른 메인 워드 라인 드라이버 회로를 포함하는 반도체 메모리 장치를 개략적으로 나타내는 블락 다이어그램이다. 반도체 메모리 장치(200)는 커맨드 디코더(210), 로우 디코더(220), 메인 워드 라인 드라이버 회로(230), 및 서브-워드 라인 드라이버 회로(290)를 포함한다.

<34> 커맨드 디코더(210)는 프리차지 명령(PRECH CMD)을 디코딩(decoding)하여 메인 워드 라인들을 로우 레벨(즉, 접지 전압)로 프리차지하기 위한 프리차지 신호(PRECH)를 발생한다. 로우 디코더(220)는 로우 어드레스들(R_ADDR)을 디코딩하여 디코딩된 로우 어드레스 신호들(DRA1 ~ DRA_n, DRA_C1 ~ DRA_C4)을 발생한다.

<35> 메인 워드 라인 드라이버 회로(230)는, 상기 프리차지 신호(PRECH)와 디코딩된 로우 어드레스 신호들(DRA1 ~ DRA_n, DRA_C1 ~ DRA_C4)에 응답하여, 상기 각각의 메인 워드 라인들을 인에이블하는 메인 워드 라인 신호들(MWE1 ~ MWE_n)을 발생한다.

<36> 서브-워드 라인 드라이버 회로(290)는, 상기 메인 워드 라인 신호들(MWE1 ~ MWE_n)에 응답하여, 상기 메인 워드 라인에 대응하는 서브-워드 라인들을 구동하는 서브-워드 라인 신호들(SWLs)을 발생한다. 예를 들어, 하나의 메인 워드 라인은 메모리 셀들(미도시)에 연결된 4개의 서브-워드 라인들에 대응할 수 있다.

<37> 도 4는 도 3의 메인 워드 라인 드라이버 회로를 보다 상세히 나타내는 도면이다. 도 4를 참조하면, 메인 워드 라인 드라이버 회로(230)는 복수개의 출력부들(241 ~ 24n)

및 전압 공급부(250)를 포함한다. 바람직하기로는, 상기 전압 공급부(250)는 8개의 출력부들에 공통으로 연결될 수 있다.

<38> 보다 구체적으로, 전압 공급부(250)는 접지 전압 공급부(260)와 네거티브(negative) 전압 공급부(270)를 포함한다.

<39> 네거티브 전압 공급부(270)는 직렬로 연결된 3개의 엔모스 트랜지스터들(271 - 273)을 포함하며, 엔모스 트랜지스터(273)의 소스에 제1 전압인 네거티브 전압(VNEG, 예를 들어, -0.5(V))이 연결된다. 네거티브 전압 공급부(270)는 디코딩된 로우 어드레스 신호들(DRA_C2 - DRA_C4)의 활성화에 응답하여 노드(NODE4)에 네거티브 전압(VNEG)을 공급한다. 상기 노드(NODE4)에 공급된 네거티브 전압(VNEG)은 엔모스 트랜지스터(2413)의 소스(source)에 대한 게이트(gate) 전압(Vgs)을 증가시켜 엔모스 트랜지스터(2413)를 통해 흐르는 전류를 증가시킨다. 그 결과, 엔모스 트랜지스터(2413)의 동작 속도가 증가하므로, 노드(NODE3)의 전위는 빠르게 로우 레벨로 천이(transition)하고 메인 워드 라인 신호(MWE1)도 빠르게 승압 전압(VPP)으로 활성화된다. 즉, 디코딩된 로우 어드레스 신호(DRA1)의 동작 전압이 저전압(예를 들어, 2(V) 또는 그 이하)이더라도, 노드(NODE4)에 네거티브 전압(VNEG)이 공급되므로 엔모스 트랜지스터(2413)의 동작 속도는 감소되지 않을 수 있다.

<40> 접지 전압 공급부(260)는 직렬로 연결된 3개의 엔모스 트랜지스터들(261 - 263)을 포함하며, 엔모스 트랜지스터(263)의 소스(source)에 제2 전압인 접지 전압(VSS)이 연결된다. 접지 전압 공급부(260)는 디코딩된 로우 어드레스 신호들(DRA_C1 - DRA_C3)의 활성화에 응답하여 노드(NODE4)에 접지 전압(VSS)을 공급한다.

<41> 제1 출력부(241)는 피모스 트랜지스터(2411), 인버터(2412), 및 엔모스 트랜지스터(2413)를 포함하고, 피모스 트랜지스터(2411)의 소스(source)에는 승압 전압(VPP)이 연결된다. 제1 출력부(241)를 제외한 출력부들(242 - 24n)도 제1 출력부(241)의 구성 요소들과 동일한 구성 요소들을 포함한다.

<42> 먼저, 제1 메인 워드 라인 신호(MWE1)가 하이 레벨(즉, 승압 전압(VPP))로 활성화되는 동작을 설명하면 다음과 같다. 네거티브 전압 공급부(270)는 디코딩된 로우 어드레스 신호들(DRA_C2 - DRA_C4)의 활성화에 응답하여, 노드(NODE4)에 네거티브 전압(VNEG)을 소정의 공급 시간 동안 공급한다. 여기서, 상기 디코딩된 로우 어드레스 신호(DRA_C4)는 소정의 시간 동안 하이 레벨(즉, 전원 전압(VCC))로 활성화되는 펄스 신호(pulse signal)이다. 네거티브 전압(VNEG)이 노드(NODE4)에 상기 공급 시간 동안 공급된 후, 접지 전압(VSS)이 접지 전압 공급부(260)에 의해 노드(NODE4)에 공급된다. 따라서, 제1 출력부(241)의 엔모스 트랜지스터(2413)의 동작 속도가 빨라진다. 상기 엔모스 트랜지스터(2413)는, 디코딩된 로우 어드레스 신호(DRA1)의 활성화에 응답하여, 네거티브 전압 공급부(270) 및 접지 전압 공급부(250)에 의해 차례로 공급된 노드(NODE4)의 전위를 노드(NODE3)로 빠르게 전달한다. 제1 출력부(241)의 인버터(2412)는 상기 노드(NODE3)의 전위를 반전시켜 하이 레벨의 제1 메인 워드 라인 신호(MWE1)를 빠르게 발생한다.

<43> 다음으로, 제1 메인 워드 라인 신호(MWE1)가 로우 레벨(즉, 접지 전압 레벨(VSS))로 비활성화되는 동작을 설명하면 다음과 같다. 제1 출력부(241)의 피모스 트랜지스터(2411)는 프리차지 신호(PRECH)의 활성화에 응답하여, 노드(NODE3)의 전위를 하이 레벨(즉, 승압 전압 레벨(VPP))로 풀-업(pull-up)한다. 인버터(2412)는 상기 하이 레벨인 노

드(NODE3)의 전위를 로우 레벨로 반전시켜 로우 레벨의 제1 메인 워드 라인 신호(MWE1)를 발생한다.

<44> 한편, 제1 출력부(241)를 제외한 출력부들(242 - 24n)도 제1 출력부(241)의 구성 요소들과 동일한 구성 요소들을 포함하므로, 그것에 대한 상세한 설명은 제1 출력부(241)에 대한 설명이 참조된다. 다만, 각각의 출력부들(242 - 24n)은, 프리차지 신호(PRECH)와 디코딩된 로우 어드레스 신호들(DRA2 - DRA_n, DRA_C1 - DRA_C4)의 활성화에 응답하여, 메인 워드 라인 신호들(MWE2 - MWE_n)을 빠르게 발생한다.

<45> 도 5는 도 4에 도시된 메인 워드 라인 드라이버 회로의 동작을 나타내는 타이밍 다이어그램이다. 부가하여 설명하면, 도 5는 제1 메인 워드 라인 신호(MWE1)가 활성화/비활성화되는 동작을 나타내는 타이밍 다이어그램이다.

<46> 프리차지 신호(PRECH)가 접지 전압(VSS)으로 활성화될 때, 노드(NODE3)의 전위는 승압 전압(VPP)으로 풀-업되고 제1 메인 워드 라인 신호(MWE1)는 접지 전압(VSS)으로 비활성화된다.

<47> 프리차지 신호(PRECH)가 접지 전압(VSS)에서 승압 전압(VPP)으로 천이한 후, 디코딩된 로우 어드레스 신호들(DRA1, DRA_C2, DRA_C3)이 접지 전압(VSS)으로부터 전원 전압(VCC)으로 천이하고 디코딩된 어드레스 신호(DRA_C4)가 소정의 시간 동안 전원 전압(VCC)으로 활성화한다. 그러면, 노드(NODE4)의 전위가 하이 임피던스 상태(high impedance state, HI-Z)에서 네거티브 전압(VNEG)으로 천이하여 노드(NODE3)의 전위가 급격히 승압 전압(VPP)에서 접지 전압(VSS)으로 천이한다. 그 결과, 제1 메인 워드 라인 신호(MWE1)가 접지 전압(VSS)으로부터 승압 전압(VPP)으로 빠르게 활성화된다.

<48> 디코딩된 로우 어드레스 신호(DRA_C4)가 전원 전압(VCC)에서 접지 전압(VSS)으로 천이할 때, 디코딩된 로우 어드레스 신호(DRA_C1)가 접지 전압(VSS)에서 전원 전압(VCC)으로 천이한다. 그러면, 노드(NODE4)의 전위는 네거티브 전압(VNEG)에서 접지 전압(VSS)으로 천이하여 노드(NODE4)의 전위는 접지 전압으로 유지된다. 그러면, 노드(NODE3)의 전위는 접지 전압(VSS)으로 유지되며 제1 메인 워드 라인 신호(MWE1)는 승압 전압(VPP)의 활성화 상태를 유지한다.

<49> 한편, 제1 메인 워드 라인 신호(MWE1)를 제외한 메인 워드 라인 신호들(MWE2 - MWE_n)의 활성화/비활성화 동작에 대한 설명은 상기 도 5를 참조한 제1 메인 워드 라인 신호(MWE1)에 대한 설명과 유사하므로, 상기 제1 메인 워드 라인 신호(MWE1)에 대한 설명이 참조된다.

<50> 이상에서와 같이 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<51> 본 발명에 따른 반도체 메모리 장치의 메인 워드 라인 드라이버 회로는, 접지 전압 보다 낮은 네거티브 전압 및 접지 전압을 공급받으므로, 메인 워드 라인 드라이버 회로

1020030007413

출력 일자: 2003/4/18

의 저전압 동작에서도 메인 워드 라인을 인에이블하는 메인 워드 라인 신호의 로우 레벨에서 하이 레벨로의 천이 속도를 감소시키지 않는다.

【특허청구범위】**【청구항 1】**

복수개의 메인 워드 라인들을 각각 인에이블하는 메인 워드 라인 신호들을 발생하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로에 있어서, 노드에 제1 전압을 공급한 후 상기 제1 전압 보다 높은 제2 전압을 공급하는 전압 공급부; 및

상기 노드에 공급된 제1 전압 및 제2 전압을 공급받아, 상기 각각의 메인 워드 라인 신호들을 발생하는 복수개의 출력부들을 구비하는 것을 특징으로 하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로.

【청구항 2】

제1항에 있어서,

상기 제1 전압은 네거티브 전압이며, 상기 제2 전압은 접지 전압인 것을 특징으로 하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로.

【청구항 3】

제2항에 있어서, 상기 전압 공급부는

상기 노드에 상기 네거티브 전압을 공급하는 네거티브 전압 공급부; 및 상기 노드에 상기 접지 전압을 공급하는 접지 전압 공급부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로.

【청구항 4】

제3항에 있어서, 상기 네거티브 전압 공급부는 디코딩된 로우 어드레스 신호들의 활성화에 응답하여 상기 노드에 상기 네거티브 전압을 공급하는 것을 특징으로 하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로.

【청구항 5】

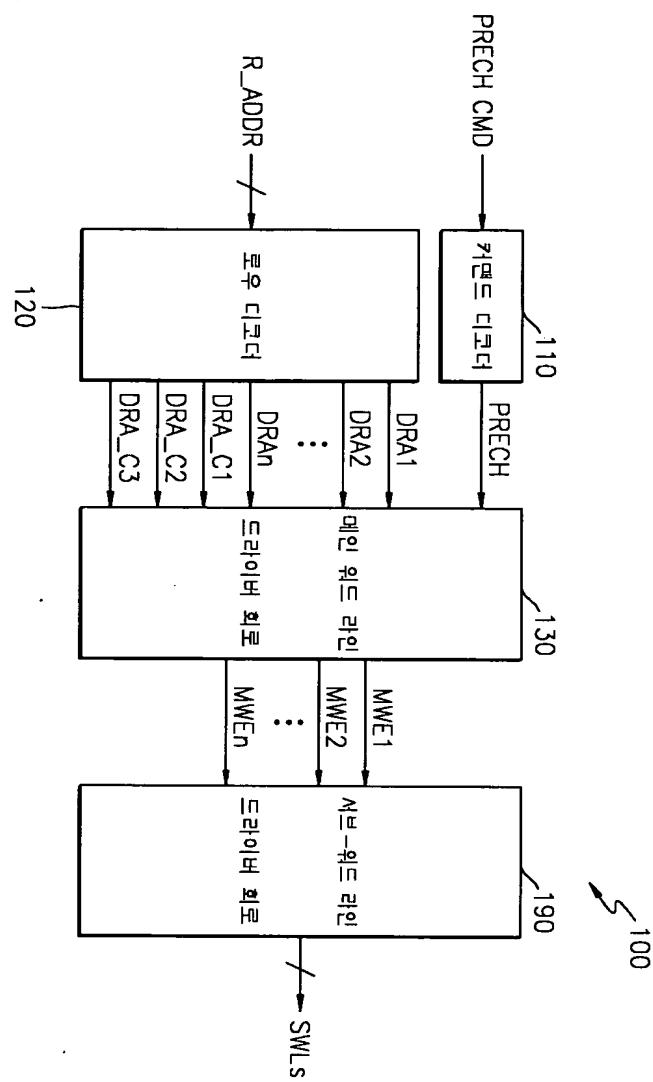
제4항에 있어서, 상기 디코딩된 로우 어드레스 신호들 중 하나의 디코딩된 로우 어드레스 신호는 소정의 시간 동안 전원 전압으로서 활성화되는 것을 특징으로 하는 반도체 메모리 장치의 워드 라인 드라이버 회로.

【청구항 6】

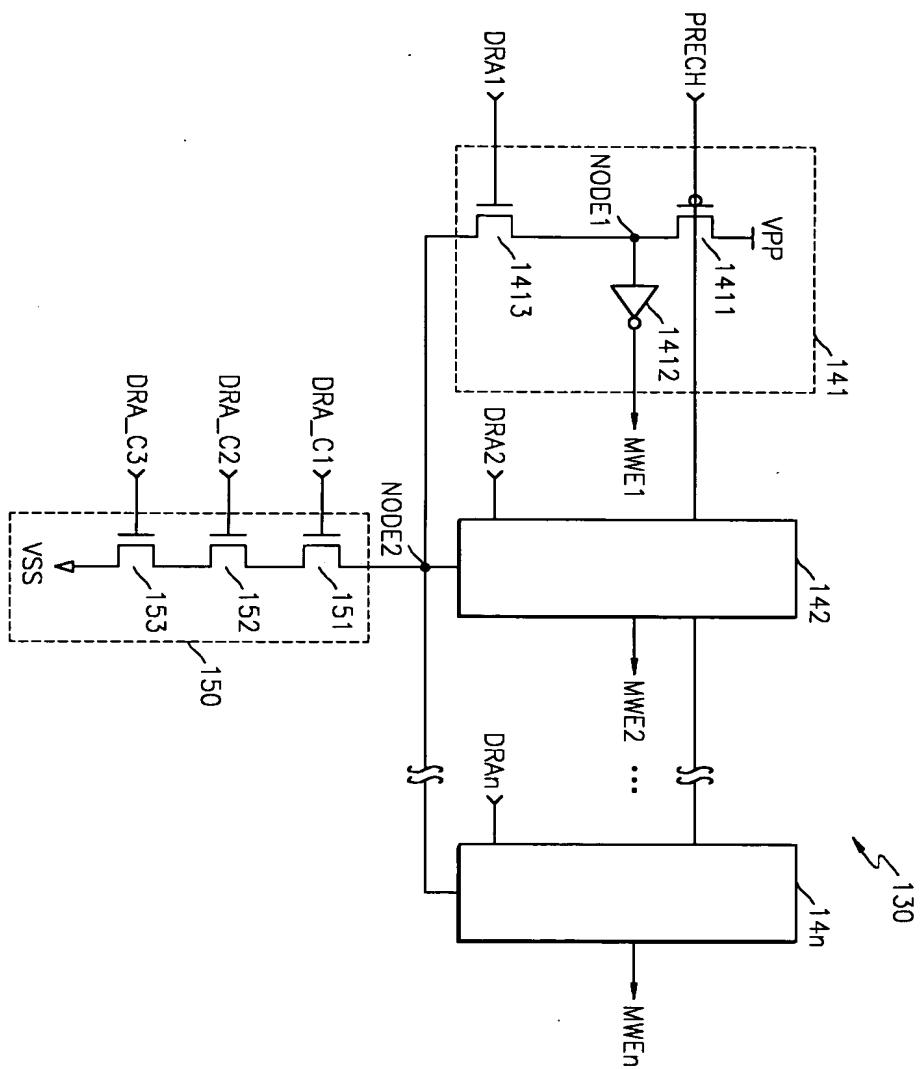
제5항에 있어서, 상기 네거티브 전압 공급부는 상기 디코딩된 로우 어드레스 신호들에 응답하여 턴-온/턴-오프되는 직렬 연결된 3개의 엔모스 트랜지스터들을 포함하며, 상기 엔모스 트랜지스터들의 일 단자에 상기 네거티브 전압이 연결되는 것을 특징으로 하는 반도체 메모리 장치의 메인 워드 라인 드라이버 회로.

【도면】

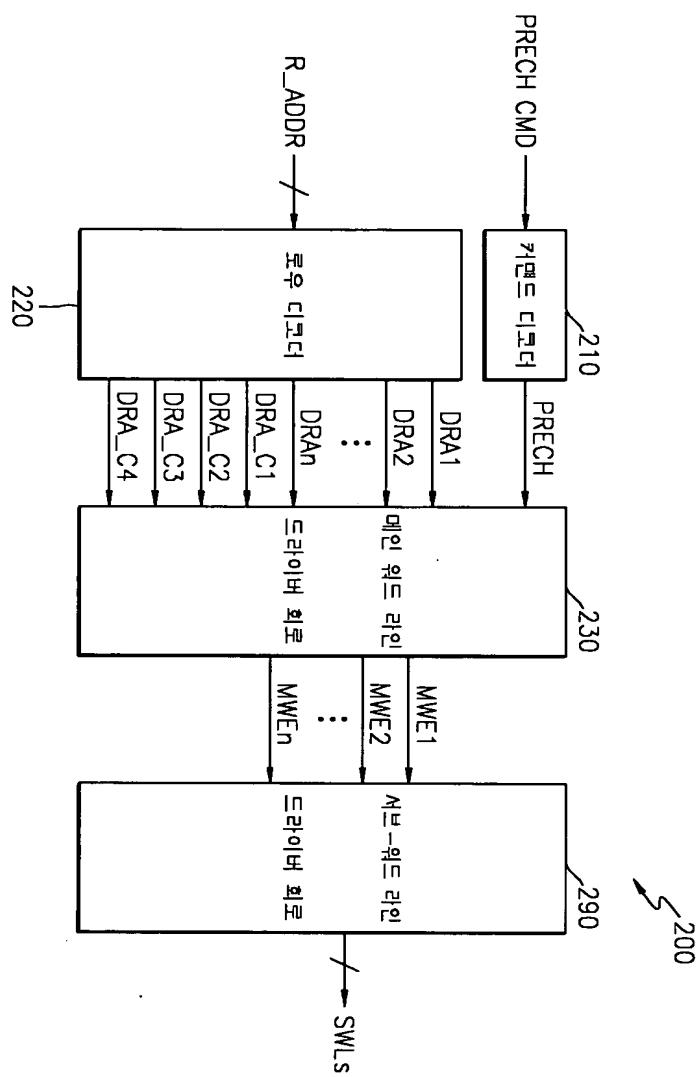
【도 1】



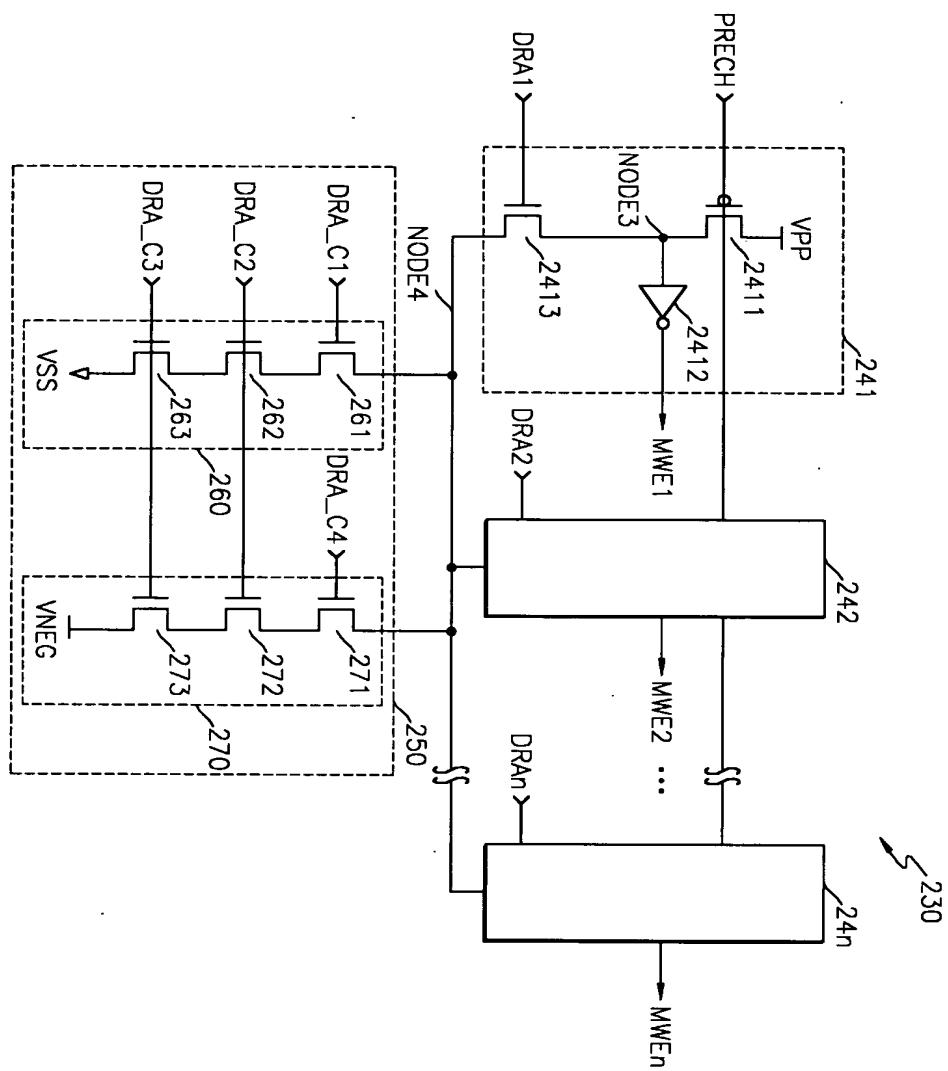
【도 2】



【도 3】



【도 4】



【도 5】

